

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001308116 A

(43) Date of publication of application: 02.11.01

(51) Int. Cl

**H01L 21/56**  
**H01L 21/48**  
**H01L 21/68**  
**H01L 21/301**  
**H01L 21/60**  
**H01L 23/12**

(21) Application number: 2000122112

(22) Date of filing: 24.04.00

(71) Applicant: SONY CORP

(72) Inventor: NISHIYAMA KAZUO  
OZAKI YUJI  
TAKAOKA YUJI  
HIRAYAMA TERUMINE

**(54) CHIP-SHAPED ELECTRONIC COMPONENT AND ITS MANUFACTURING METHOD, AND PSEUDO WAFER USED FOR MANUFACTURING METHOD OF CHIP-SHAPED ELECTRONIC COMPONENT AND ITS MANUFACTURING METHOD**

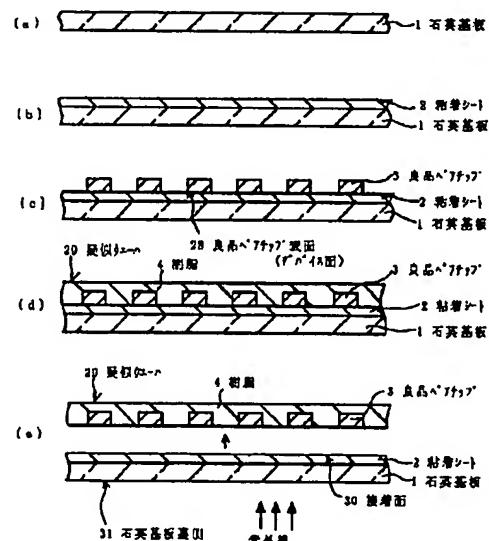
continuously covers the area among the conforming bare chips 3 and the back. In the conforming chip component 26, at least the Al electrode pad 5 is provided merely at one surface side, and the entire surface other than one surface is covered with the resin 4.

(57) Abstract:

COPYRIGHT: (C)2001,JPO

**PROBLEM TO BE SOLVED:** To provide a semiconductor chip that utilizes the features of the collective treatment of a wafer, and has a high yield, low costs, and excellent packaging reliability.

**SOLUTION:** This manufacturing method includes a process that puts an adhesive sheet 2 where adhesion is reduced after treatment although the adhesion exists before the treatment onto a quartz substrate 1; a process that fixes a plurality of conforming bare chips 3 onto the adhesive sheet 2 while the surface of an Al electrode pad 5 faces down; a process that deposits resin 4 onto an entire surface including the area among the plurality of conforming bare chips 3; a process that performs specific treatment to the adhesive sheet 2 to reduce the adhesive force of the adhesive sheet 2, and peels a pseudo wafer 29 where the conforming bare chips 3 are fixed; and a process that cuts the resin 4 among the plurality of conforming bare chips 3 to separate each conforming chip component 26. In the pseudo wafer 29, the plurality of conforming bare chips 3 where at least the Al electrode pad 5 is provided merely at one surface side are mutually stuck by the resin 4 that



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-308116  
(P2001-308116A)

(43)公開日 平成13年11月2日(2001.11.2)

(51)Int.Cl.  
H 01 L 21/56  
21/48  
21/68  
21/301  
21/60

識別記号

F I  
H 01 L 21/56  
21/48  
21/68  
21/78  
21/92

データコード\*(参考)  
E 5 F 0 3 1  
5 F 0 6 1  
N  
Q  
6 0 4 D

審査請求 未請求 請求項の数20 OL (全20頁) 最終頁に続く

(21)出願番号 特願2000-122112(P2000-122112)

(22)出願日 平成12年4月24日(2000.4.24)

(71)出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(72)発明者 西山 和夫  
東京都品川区北品川6丁目7番35号 ソニー株式会社内  
(72)発明者 尾崎 裕司  
東京都品川区北品川6丁目7番35号 ソニー株式会社内  
(74)代理人 100076059  
弁理士 逢坂 宏

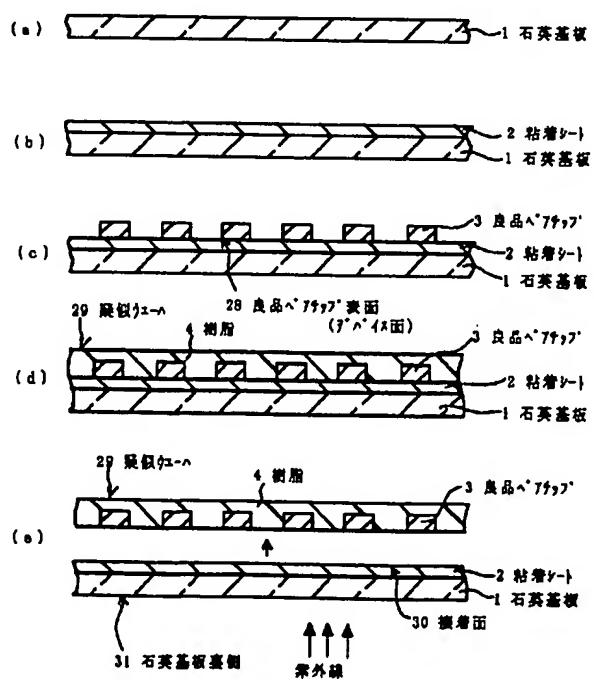
最終頁に続く

(54)【発明の名称】 チップ状電子部品及びその製造方法、並びにその製造に用いる疑似ウエーハ及びその製造方法

(57)【要約】

【課題】 ウエーハー一括処理の特徴を生かし、高歩留り、低コストにして良好な実装信頼性を持った半導体チップを提供すること。

【解決手段】 石英基板1上に、処理前は粘着力を持つが処理後は粘着力が低下する粘着シート2を貼り付ける工程と、この粘着シート2の上に複数の良品ペアチップ3をそのA1電極パッド5面を下にして固定する工程と、樹脂4を複数の良品ペアチップ3間に含む全面に被着する工程と、粘着シート2に所定の処理を施して粘着シート2の粘着力を低下させ、良品ペアチップ3を固定した疑似ウエーハ29を剥離する工程と、複数の良品ペアチップ3間ににおいて樹脂4を切断して各良品チップ部品26を分離する工程とを有する製造方法。又、少なくともA1電極パッド5が一方の面側にのみ設けられた良品ペアチップ3の複数個が、これらの間及びその裏面に連続して被着された樹脂4によって互いに固定されている疑似ウエーハ29や、少なくともA1電極パッド5が一方の面側にのみ設けられ、この一方の面以外の全面が樹脂4で覆われている良品チップ部品26。



## 【特許請求の範囲】

【請求項 1】 少なくとも電極が一方の面側にのみ設けられ、この一方の面以外の全面が連続した保護物質で覆われている、チップ状電子部品。

【請求項 2】 前記保護物質が有機系絶縁性樹脂又は無機系絶縁性物質である、請求項 1 に記載のチップ状電子部品。

【請求項 3】 前記保護物質の位置で切断され、実装基板に固定される半導体チップであって、実装面側に前記電極が設けられ、側面及び裏面が前記保護物質で覆われている、請求項 1 に記載のチップ状電子部品。

【請求項 4】 前記電極上にはんだバンプが形成されている、請求項 3 に記載のチップ状電子部品。

【請求項 5】 複数個又は複数種の半導体チップが前記保護物質によって一体化されている、請求項 1 に記載のチップ状電子部品。

【請求項 6】 少なくとも電極が一方の面側にのみ設けられたチップ状電子部品の複数個又は複数種が、これらの間及びその裏面に連続して被着された保護物質によって互いに固着されている、疑似ウエーハ。

【請求項 7】 前記保護物質が有機系絶縁性樹脂又は無機系絶縁性物質である、請求項 6 に記載の疑似ウエーハ。

【請求項 8】 前記保護物質の位置で切断されて、実装基板に固定される单一の半導体チップ、又は複数個又は複数種の半導体チップが一体化されたチップに加工される、請求項 6 に記載の疑似ウエーハ。

【請求項 9】 前記電極上にはんだバンプが形成されている、請求項 8 に記載の疑似ウエーハ。

【請求項 10】 基板上に、処理前は粘着力を持つが処理後は粘着力が低下する粘着手段を貼り付ける工程と、この粘着手段の上に複数個又は複数種の半導体チップをその電極面を下にして固定する工程と、保護物質を前記複数個又は複数種の半導体チップ間を含む全面に被着する工程と、前記粘着手段に所定の処理を施して前記粘着手段の粘着力を低下させ、前記半導体チップを固定した疑似ウエーハを剥離する工程と、前記複数個又は複数種の半導体チップ間において前記保護物質を切断して各半導体チップ又はチップ状電子部品を分離する工程とをする、チップ状電子部品の製造方法。

【請求項 11】 平坦な基板面上に、前記粘着手段としての粘着シートを貼り付け、この粘着シート上に良品の半導体チップの複数個又は複数種を電極面を下にして固定し、前記保護物質としての有機系絶縁性樹脂又は無機系絶縁性物質を半導体チップ裏面より均一に塗布して硬化させ、かかる後に半導体チップ固定面とは反対側の基板面側より紫外線を照射して、或いは薬液又は加熱によって前記粘着シートの粘着力を低下させ、前記複数個又は複数種の半導体チップを前記保護物質で固着した疑似ウエーハを前記基板から剥離し、良品の半導体チップが複数個又は複数種配列されかつ電極面が露出した前記疑似ウエーハを得る、請求項 10 に記載の疑似ウエーハの製造方法。

複数個又は複数種配列されかつ電極面が露出した前記疑似ウエーハを得、更にこの疑似ウエーハを前記複数個又は複数種の半導体チップ間で切断する、請求項 10 に記載のチップ状電子部品の製造方法。

【請求項 12】 前記保護物質の位置で切断して、実装基板に固定される单一の半導体チップ、又は複数個又は複数種の半導体チップが一体化されたチップを得る、請求項 10 に記載のチップ状電子部品の製造方法。

【請求項 13】 前記電極上にはんだバンプを形成する、請求項 12 に記載のチップ状電子部品の製造方法。

【請求項 14】 特性測定により良品と判定された前記半導体チップを前記基板上に固定する、請求項 10 に記載のチップ状電子部品の製造方法。

【請求項 15】 前記保護物質で固着された状態において前記半導体チップの特性測定を行ない、良品の半導体チップ又はチップ状電子部品を選択する、請求項 10 に記載のチップ状電子部品の製造方法。

【請求項 16】 基板上に、処理前は粘着力を持つが処理後は粘着力が低下する粘着手段を貼り付ける工程と、この粘着手段の上に複数個又は複数種をその電極面を下にして固定する工程と、保護物質を前記複数個又は複数種の半導体チップ間を含む全面に被着する工程と、前記粘着手段に所定の処理を施して前記粘着手段の粘着力を低下させ、前記半導体チップを固定した疑似ウエーハを剥離する工程とを有する、疑似ウエーハの製造方法。

【請求項 17】 平坦な基板面上に、前記粘着手段としての粘着シートを貼りつけ、この粘着シートの上に良品の半導体チップの複数個又は複数種を電極面を下にして固定する工程と、前記保護物質としての有機系絶縁性樹脂又は無機系絶縁性物質を半導体チップ裏面より均一に塗布して硬化させ、かかる後に半導体チップ固定面とは反対側の基板面側より紫外線を照射して、或いは薬液又は加熱によって前記粘着シートの粘着力を低下させ、前記複数個又は複数種の半導体チップを前記保護物質で固着した疑似ウエーハを前記基板から剥離し、良品の半導体チップが複数個又は複数種配列されかつ電極面が露出した前記疑似ウエーハを得る、請求項 16 に記載の疑似ウエーハの製造方法。

【請求項 18】 前記電極上にはんだバンプを形成する、請求項 16 に記載の疑似ウエーハの製造方法。

【請求項 19】 特性測定により良品と判定された前記半導体チップを前記基板上に固定する、請求項 16 に記載の疑似ウエーハの製造方法。

【請求項 20】 前記保護物質で固着された状態において前記半導体チップの特性測定を行ない、良品の半導体チップ又はチップ状電子部品を選択する、請求項 16 に記載の疑似ウエーハの製造方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、半導体装置の製造

に好適なチップ状電子部品及びその製造方法、並びにその製造に用いる疑似ウエーハ及びその製造方法に関するものである。

### 【0002】

【従来の技術】従来、デジタルビデオカメラやデジタル携帯電話、更にノートPC(Personal Computer)等に代表される携帶用電子機器の、小型化や薄型化、軽量化に対する要求は強く、半導体部品の表面実装密度をいかに向上去させるかが重要なポイントである。この為、パッケージIC(QFP(Quad flat package)等)に代る、より小型のCSP(Chip Scale Package)の開発や一部での採用が既に進められているが、究極の半導体高密度実装を考えると、ベアチップ実装でしかもフリップチップ方式による接続技術の普及が強く望まれる。

【0003】なお、前記フリップチップ実装におけるバンプ形成技術には、一般にA1電極パッド上にAu-Stud Bump法や電解めっき法によってAuバンプを形成する方法や、電解めっき法や蒸着法等ではんだバンプを一括して形成する方法が代表的である。しかし、民生用では、より低コストのフリップチップ実装の場合に、チップにしてからバンプを形成(Au-Stud Bump法がその代表例である)するのではなく、ウエーハ状態で一括してバンプを形成する方法が望ましい。

【0004】このようなウエーハ一括処理法は、近年のウエーハの大口径化( $150\text{ mm}\phi \rightarrow 200\text{ mm}\phi \rightarrow 300\text{ mm}\phi$ )と、LSI(大規模集積回路)チップの接続ピン数の増加傾向とを考えれば、当然の方向性である。

【0005】以下に、従来のバンプ形成方法を説明する。

【0006】図14は、Auスタッドバンプ(Stud Bump)24の一例である。各々、個片に切り出された半導体チップ25のA1電極パッド55面にワイヤーボンディング手法を用いてAuスタッドバンプ(Stud Bump)24が形成されている。図15は、例えば入出力回路22、素子領域(メモリー)23が形成されたSi基板(ウエーハ)51を、ウエーハレベルで一括処理して形成した時はんだバンプ62の一例である(なお、図中の21はスクライブラインである)。

【0007】また、図16には、より低コストを目指して、Ni無電解めっきとはんだペーストの印刷とでウエーハ一括でバンプを形成する工程を示す。図16(a)は、SiO<sub>2</sub>膜が形成されたSi基板(ウエーハ)を示して、同図(b)はその電極を含むチップ部分を拡大したものである。図16(a)、(b)において、51はSi基板(ウエーハ)、55はA1電極パッド、その他はSiO<sub>2</sub>膜、Si<sub>3</sub>N<sub>4</sub>、SiO<sub>2</sub>膜やポリイミド膜から成るパッシバーション膜である。

【0008】図16(c)では、Ni無電解めっき法により、開口されたA1電極パッド55の上面のみに、選

択的にNi無電解めっき層(UBM:Under Bump Metal)が形成されている。このNi無電解めっき層(UBM)は、A1電極パッド55面をリン酸系エッチ液で前処理した後に、Zn処理によりZnを置換析出させ、さらに、Ni-Pめっき槽に浸漬することによって容易に形成でき、A1電極パッド55とはんだバンプとの接続を助けるUBMとして作用する。

【0009】図16(d)は、マタルスクリーンマスク52を当てて、はんだペースト59を印刷法によりNi無電解めっき層(UBM)上に転写した状態を示す。図16(e)は、ウエットバック(加熱溶融)法ではんだペースト59を溶融して、はんだバンプ62を形成したものである。このように、Ni無電解めっき法及びはんだペーストスクリーン印刷法等を用いることにより、フォトプロセスを用いずに、簡単にはんだバンプ62を形成することができる。

【0010】他方、CSPは、1ヶ1ヶのLSIをいかに小さくして高密度で実装するかのアプローチであるが、デジタル機器の回路ブロックを見た場合、いくつかの共通回路ブロックで成り立っており、これらをマルチチップパッケージとしたり、モジュール化(MCM:Multi Chip Module)する技術も登場している。デジタル携帯電話におけるSRAM(静态RAM)、フラッシュメモリー、マイコンの1パッケージ化等はその一例である。

【0011】このMCM技術は、最近の1チップシステムLSIにおいても大きな利点を發揮するものと期待されている。即ち、メモリーやロジック、更にアナログLSIを1チップ化する場合は、異なったLSI加工プロセスを同一ウエーハプロセスで処理することとなり、マスク数や工定数の著しい増加と開発TAT(Turn around time)の増加が問題となり、歩留りの低下も大きな懸念材料である。

【0012】このために、各LSIを個別に作り、MCM化する方式が有力視されている。こうしたMCM化技術の例を図17に示す。

【0013】図17(a)、(b)はワイヤーボンディング方式であって、回路基板60上にワイヤ61でチップ62を接続し、また図18(a)、(b)、(c)はフリップチップ方式であって、回路基板60上の電極63にフェイスダウンでチップ64を接続している。より小型化、薄型化を考えた場合には、図18のフリップチップが有利な方式となっている。今後の高速化での接続距離の縮小や各接続インピーダンスのバラツキを考えて、フリップチップ方式に変わっていくものと思われる。

【0014】フリップチップ方式のMCMは、複数の異なるLSIについて各々のLSIのA1電極パッド55の面にAu-Stud Bumpを形成し、異方性導電フィルム(ACF:Aniso Conductive Film)を介して

回路基板と接続する方法や、樹脂ペーストを用いて圧接する方法、更にバンプとしてAuめっきバンプやNi無電解めっきバンプ、はんだバンプを用いる方法等、種々のものが提案されている。図18(c)は、はんだバンプ65による基板60との金属間接合で、より低抵抗で確実に接合させた例である。

#### 【0015】

【発明が解決しようとする課題】上記した各バンプ形成法は既に完成されていて、量産ベースの技術として活用が始まっている。例えば、図14に示したAuスタッドバンプ24はチップ単位のバンプ形成法であり、既存の設備を用いて、より簡便にバンプを形成する方法として広く用いられているが、各端子毎にバンプ形成処理を行うので、多ピンになる程、バンプ形成に要するコストが上昇してしまう。

【0016】また、最近のLSIの低電圧駆動においては、A1配線層の電圧降下の問題が生じることから、周辺の電極パッドの配置だけでなく、アクティブ素子上にも電極パッドを配置したエリアパッドが必要とされるが、図14のAuスタッドバンプ24はボンディング荷重とダメージの面からエリアパッドには不向きである。更に、Auスタッドバンプチップの実装は、1個ずつの圧接工法であることや、両面実装に難がある等の問題を抱えている。

【0017】一方、ウェーハー括のはんだバンプ形成法は実装面でエリアパッド配置にも適用でき、一括リフローや両面実装が可能である等の利点がある。しかし、最先端の歩留まりが低いウェーハーに対して処理をすると、良品チップ1個当たりのコストは極めて高くなる。

【0018】即ち、図19には、従来のウェーハー括処理における半導体ウェーハ53を示すが、最先端LSIでは高歩留りが必要とされるにも拘らず、スクライブライン21で仕切られたチップの内、X印で示す不良品チップ20の数がO印で示す良品チップ3の数よりも多くなるのが実情である。

【0019】また、チップをペアチップの形で他所から入手した場合のバンプ形成は極めて難しいという問題があった。即ち、上記した2種類のバンプ形成方法は各々特徴を持つが、全ての領域に使える技術ではなく、各々の特徴を活かした使い分けをされるのが現状である。ウェーハー括バンプ処理法は、歩留まりが高く、ウェーハ1枚の中に占める端子数が多い場合(例えば50000端子/ウェーハ)や、エリアパッド対応の低ダメージバンプ形成に特徴を發揮する。又、Auスタッドバンプは、チップ単位で入手した場合のバンプ処理や、簡便なバンプ処理に特徴を發揮している。

【0020】なお、図19に示した半導体ウェーハ53をスクライブライン21に沿って切断すると、切断の影響でチップにストレス、亀裂等のダメージが生じて、故障の原因になることがある。さらに、良品チップ3及び

不良品チップ20を共に半導体ウェーハ53として一括ではんだバンプ形成まで工程を進行させると、不良品チップ20に施した工程が無駄になり、これもコストアップの原因となる。

【0021】また、特開平9-260581号公報には、Siウェーハ上に複数の半導体チップを接着固定し、これをアルミナの如き基板上に設けた樹脂に加圧下で埋め込んでから剥離することにより、ウェーハの表面を平坦にし、ホトリソグラフィの技術によりこのウェーハ上で素子間の接続用の配線層を形成する方法が示されている。

【0022】この公知の方法によれば、ウェーハの一括処理が可能となり、大量生産による低価格化を達成できるとしているが、ウェーハにおいて個々の半導体チップの裏面側には上記のアルミナの如き硬質の基板が存在しているために、スクライビング時にチップ間の樹脂と共に、裏面側の硬質の基板も切断しなければならず、切断用のブレードが破損するおそれがある。しかもチップの側面は樹脂で覆われてはいるが、裏面は樹脂とは異質の硬質の基板が存在しているだけであるため、チップの裏面側は有効に保護されないことがあり、また両者間の密着性が悪くなる。

【0023】本発明は、上記のような従来の実情に鑑みてなされたものであって、その目的は、ウェーハー括処理の特徴を生かしつつ、最先端のLSIやペアチップで入手した場合でも、高歩留り、低コストにして信頼性良く提供可能な半導体チップ等のチップ状電子部品を提供することにある。

#### 【0024】

【課題を解決するための手段】即ち、本発明は、少なくとも電極が一方の面側にのみ設けられ、この一方の面以外の全面が連続した保護物質で覆われている半導体チップの如きチップ状電子部品、このチップ状電子部品の複数個又は複数種が、これらの間及びその裏面に連続して被着された保護物質によって互いに固着されている疑似ウェーハに係るものである。

【0025】又、本発明は、基板上に、処理前は粘着力を持つが処理後は粘着力が低下する粘着手段を貼り付ける工程と、この粘着手段の上に複数個又は複数種の半導体チップをその電極面を下にして固定する工程と、保護物質を前記複数個又は複数種の半導体チップ間を含む全面に被着する工程と、前記粘着手段に所定の処理を施して前記粘着手段の粘着力を低下させ、前記半導体チップを固定した疑似ウェーハを剥離する工程とを有する、疑似ウェーハの製造方法に係り、更にこれに加えて、前記複数個又は複数種の半導体チップ間ににおいて前記保護物質を切断して各半導体チップ又はチップ状電子部品を分離する工程とを有する、チップ状電子部品の製造方法も提供するものである。

【0026】本発明によれば、半導体チップ等のチップ

状電子部品（以下、半導体チップを代表例として説明する。）の電極面以外（即ち、チップ側面及び裏面）が連続した保護物質によって保護されるので、チップ化後のハンドリングにおいてチップが保護され、ハンドリングが容易となり、良好な実装信頼性が得られる。

【0027】又、半導体ウエーハから切出されて良品のみを選択したチップを基板に貼り付け、保護物質を全面に被着した後に剥離することにより、あたかも全品が良品チップからなる疑似ウエーハを得るため、良品チップに対するウエーハ一括でのバンプ処理等が可能となり、低コストのバンプチップを形成できると共に、半導体チップを疑似ウエーハから切り出す際にチップ間の保護物質の部分を切断することになるので、半導体チップ本体への悪影響（歪みやばり、亀裂等のダメージ）を抑えて容易に切断することができる。しかも、保護物質によってチップの側面及び裏面が覆われていることから、Ni無電解めっき処理も可能である。そして、自社製ウエーハのみならず、他社から購入したペアチップでも、容易にはんだバンプ処理等が可能になる。また、MCMに搭載される異種LSIチップを全て同一半導体メーカーから供給されるケースは少なく、最先端の半導体ラインの投資が大きくなっているために、SRAM、フラッシュメモリーやマイコン、更にCPU（中央演算処理ユニット）を同一半導体メーカーで供給するのではなく、各々得意とする半導体メーカーから別々にチップで供給してもらい、これらをMCM化することもできる。なお、上記の基板は繰り返し使用できて、バンプ形成のコストや環境面でも有利である。

#### 【0028】

【発明の実施の形態】本発明においては、前記保護物質が有機系絶縁性樹脂又は無機系絶縁性物質であり、前記保護物質の位置で切断されて実装基板に固定される半導体チップ（単数のチップであっても、複数個又は複数種のチップが保護物質で一体化されたものであってもよい。）であって、実装面側に前記電極が設けられ、側面及び裏面が前記保護物質で覆わっていて、前記電極上にはんだバンプが形成されるのが好ましい。

【0029】又、平坦な透明基板等の基板面上に、前記粘着手段としての粘着シート貼り付け、この粘着シート上に良品の半導体チップの複数個又は複数種を電極面を下にして固定し、前記保護物質としての有機系絶縁性樹脂又は無機系絶縁性樹脂を半導体チップ裏面より均一に塗布して硬化させ、かかる後に半導体チップ固定面とは反対側の基板面側より紫外線を照射して、或いは薬液又は加熱によって前記粘着シートの粘着力を低下させ、前記複数個又は複数種の半導体チップを前記保護物質で固定した疑似ウエーハを前記基板から剥離し、良品の半導体チップが複数個又は複数種配列されかつ電極面が露出した疑似ウエーハを得、更にこの疑似ウエーハを前記複数個又は複数種の半導体チップ間の保護物質の位置で切

断し、実装基板に固定される单一の半導体チップ、又は複数個又は複数種の半導体チップが一体化されたチップを得るのが好ましい。

【0030】又、特性測定により良品と判定された前記半導体チップを前記基板上に固定したり、前記保護物質で固着された状態において前記半導体チップの特性測定を行なって、良品の半導体チップ又はチップ状電子部品を選択しても良い。

【0031】次に、本発明の好ましい実施の形態を図面の参照下に具体的に説明する。

#### 【0032】実施の形態1

まず図5は、図19に示した如き半導体ウエーハ53より切り出された後、オープン／ショート或いはDC（直流）電圧測定で良品と確認された良品の半導体ペアチップ3（又はLSIチップ）のみを、円形の石英基板1上にアクリル系等の粘着シート2を介して等間隔に配列して貼り付けた一例である。また、図6は、円形の石英基板1ではなく、角型のより大きなガラス基板19を用いることにより、限られた面積に多数の良品チップ3を粘着シート2によって貼り付けた例であり、その後の工程におけるコストメリットをより発揮出来るようにしたものである。

【0033】以下に、チップを貼り付ける基板として図5の如き石英基板1を用い、一括してはんだバンプを形成する方法を図1～図3について順を追って説明する。

【0034】図1(a)は、仮の支持基板となる石英基板1を示す。但し、基板への加熱プロセスは400℃以下の為、より安価なガラス基板も使用できる。また、この石英基板1は繰り返し使用できる。

【0035】次に、図1(b)のように、石英基板1上に、通常のダイシングで用いられていて、紫外線を照射されると粘着力が低下する例えばアクリル系の粘着シート2を貼り付ける。

【0036】次に、図1(c)のように、上記した如くに良品と確認された複数の良品ペアチップ3をチップ表面（デバイス面）28を下にして配列して粘着シート2に貼り付ける。なお、良品ペアチップ3は、図19に示した通常のウエーハ工程でダイシングして、使用したダイシングシート（図示せず）の延伸状態から取り出してもよいし、チップトレイから移載してもよい。ここで重要なことは、自社、他社製のチップに問わらず、良品ペアチップ3のみを基板1上に再配列されることである。

【0037】次に、図1(d)のように、チップ3上から有機系絶縁性樹脂、例えばアクリル系等の樹脂4を均一に塗布する。この塗布はスピンドル法か印刷法で容易に実現できる。

【0038】次に、図1(e)のように、石英基板1の裏側31より紫外線を照射して、粘着シート2の粘着力を弱くして、樹脂4で側面及び裏面が連続して固められた複数の良品のペアチップ3からなる疑似ウエーハ29

を石英基板1から接着面30で剥離する。

【0039】次に、図2(f)のように、良品ペアチップ表面28(デバイス面)が上になるように疑似ウエーハ29をひっくり返す。疑似ウエーハ29は同図に拡大して示すように、Si基板上にSiO<sub>2</sub>膜を介してA1電極パッド5及びパッシベーション膜が形成されたものである。

【0040】次に、図2(g)～図3(i)のように、既述した図16(c)～(e)と同じ処理を施す。図2(g)はUBMとなるNi無電解めっき処理、図2(h)は印刷マスク8を用いたはんだペースト9の印刷転写、図3(i)はウエットバック法によるはんだバンプ12の形成状況である。

【0041】即ち、図2(g)では、Ni無電解めっき法にて、開口されたA1電極パッド5面の上のみに、選択的にNi無電解めっき層(UBM)が形成されている。なお、このNi無電解めっき層(UBM)は、A1電極パッド5の上面をリン酸系エッチ液で前処理した後に、Zn処理によりZnを置換析出させ、さらにNi-Pめっき槽に浸漬させることにより、容易に形成でき、A1電極パッド5とはんだバンプとの接続を助けるUBM(Under Bump Metal)として作用する。

【0042】図2(h)は、印刷マスク8を当てて、はんだペースト9を印刷法によりNi無電解めっき層(UBM)上に転写した状態である。図3(i)では、ウエットバック法ではんだペースト9を溶融して、はんだバンプ12を形成した状態である。このように、Ni無電解めっき法及びはんだペーストスクリーン印刷法等を用いることにより、フォトプロセスを用いずに簡単にはんだバンプ12を形成できる。

【0043】上記のようにして、低歩留まりの最先端のLSIや他社から入手したチップであっても、良品のチップ3のみを再び石英基板1に貼り付けて、あたかも100%良品ペアチップ3のみで構成された疑似ウエーハ29を作製し、ウエーハ一括の低成本のバンプ形成が可能になる。

【0044】そして、図3(i)において、プローブ検査による電気的特性の測定やバーンインを行って、図1(c)の工程前に良品ペアチップ3を選別したことに加えて、更により確実に良品チップのみを選別できる。

【0045】図3(j)は、チップ3を樹脂4で保護して補強してなる良品チップ部品26の単位でブレード32(又はレーザ)でスクライブライン33に沿ってダイシング11して、個々の個片とする工程を示す。

【0046】次に、図3(k)のように、配線基板16上のソルダー(はんだ)レジスト15で囲まれかつソルダー(はんだ)ペースト13を被着した電極14を設けた実装基板27に、個片化された良品チップ部品26をマウントする。

【0047】この際、良品チップ部品26の側面と裏面

は樹脂4で覆われているため、実装基板27への実装時の良品チップ部品26の吸着等のハンドリング等で、直接良品チップ部品26がダメージを受けることがなく、そのために、高い信頼性を持つフリップチップ実装が期待できる。

【0048】なお、上記の記述は半導体チップのフリップチップ実装技術に関するものであるが、フリップチップ高密度実装における接続用はんだバンプの形成技術とその製造方法に関するものもあり、良品ペアチップ3をその表面(デバイス面)28を下にして石英基板1上に等間隔で並べて貼り付け、その後に樹脂4を裏面等に均一に塗布して、良品チップ3同士を固定する。

【0049】しかる後に、貼着シート2から剥がして、良品チップ3のみが配列された疑似ウエーハ29を作製し、この疑似ウエーハ29に一括でバンプ形成をして、低成本でバンプチップを製造できる。このバンプチップは、小型・軽量の携帯用電子機器のみならず、全てのエレクトロニクス機器に利用され得る。

【0050】図4は、上記のはんだペースト9に代えて、金属ボール(はんだボール)17を用いた変形例によるバンプの形成方法を示す。

【0051】即ち、まず、疑似ウエーハ上に形成されたA1電極パッド5を被覆するパッシベーション膜に対して、バンプ電極を形成する箇所を開口して、そこにNi無電解めっき層(UBM)を形成する。

【0052】次に、このNi無電解めっき層(UBM)の上にフラックス18を印刷法等により塗布する。そのフラックス18の材料としては、金属ボール17を転写し易いように粘着力の高いものが好ましく、その塗布量は金属ボール17を保持できる量でよい。なお、フラックス18の塗布は印刷法に強いて限定しなくてもよいが、現実的には印刷法が好ましい。それは、他の方法に比べ、フラックス18を所望のパターンに簡便な操作で効率よく塗布することができるからである。

【0053】さらに、金属ボール17をフラックス18上に載置して金属ボール17のリフロー(加熱溶融)を行い、フラックス18の洗浄を行う。これにより、金属ボール17はNi無電解めっき層(UBM)に強く付着し、これを以ってバンプ電極の形成は完了する。

【0054】上述したように、本実施の形態によれば、良品の半導体チップをウエーハより切り出して、基板に等間隔で再配列して貼り付け、樹脂の塗布後に剥離して、あたかも全品が良品チップである疑似ウエーハを得るために、良品チップに対するウエーハ一括でのはんだバンプ処理等が可能となり、低成本のフリップチップ用はんだバンプチップを形成できる。又、自社製ウエーハのみならず、他社から購入したペアチップでも容易にはんだバンプ処理等が可能になる。

【0055】又、樹脂によってチップ側面及び裏面が覆われているので、Ni無電解めっき処理も可能であると

共に、樹脂によってチップ側面及び裏面を保護されているので、チップの個片後の実装ハンドリングにおいてもチップが保護されて、良好な実装信頼性が得られる。良品チップを貼り付ける基板はウエーハ剥離後は繰り返し使用でき、バンプ形成のコストや環境面で有利である。

【0056】又、ウエーハー括処理による低成本バンプ処理の特徴を活かして、最先端のLSIやペアチップの形で入手したチップでも使え、汎用性の高い新しいバンプ形成法を提供できる。又、半導体チップを疑似ウエーハから切り出す際に、樹脂の部分のみを切断するので、切断を容易に行え、ブレードの破損もなく、半導体チップ本体への悪影響(歪みやぱり、亀裂等のダメージ)を抑えることができる。

#### 【0057】実施の形態2

図7～図11は、複数の異種の良品チップを用いてMCM(Multi Chip Module)化したチップ状電子部品を得る例を示す。

【0058】即ち、図7(a)～(e)、図8(f)～(h)及び図9(i)～(j)はそれぞれ、上記した実施の形態1における図1(a)～(e)、図2(f)～(h)及び図3(i)～(j)に対応するものであり、同一部分は同一符号を付して説明を省略し、また図3(k)の工程は同様に行う。

【0059】本実施の形態によれば、図7(c)において、半導体チップ3として種類の異なる3a、3bを石英基板1上に貼り付け、その後は実施の形態1で述べたと同様に処理する。但し、図9(j)に示すように、複数の半導体チップ3a、3bは種々の組み合せにしてスクライプして良品チップ状部品26を切り出してMCM化している。

【0060】図10は、半導体ウエーハより切り出された後、オープン／ショート或いはDC(直流)電圧測定で良品と確認された良品の半導体ペアチップ3a、3b(又はLSIチップ)のみを、円形の石英基板1上にアクリル系等の粘着シート2を介して等間隔に配列して貼り付けた一例である。また、図11は、円形の石英基板1ではなく、角型のより大きなガラス基板19を用いることにより、限られた面積に多数の良品チップ3を粘着シート2によって貼り付けた例であり、その後の工程におけるコストメリットをより発揮出来るようにしたものである。

【0061】本実施の形態においても、上述の実施の形態1で述べたと同様の効果が得られ、かつMCMとして好適なものである。

#### 【0062】実施の形態3

図12～図13は、実施の形態1において樹脂4に代えて無機系絶縁物質、例えばSiO<sub>x</sub>からなるSOG(Spin on Glass)膜4'を用いてこれにチップ3を埋め込み、更に加熱等によってMCM用の疑似ウエーハ29を

剥離している。

【0063】即ち、図12(a)は、仮の支持基板となる基板1'を示す。但し、ここでは基板1'としては、上述した石英基板やガラス基板も使用できるが、透明でない他の基板、例えばSiや金属板でもよい。

【0064】次に、図12(b)のように、基板1'上に、通常のダイシングで用いられていて、薬液や加熱で粘着力が低下する例えばアクリル系の粘着シート2'を貼り付ける。

【0065】次に、図12(c)のように、上記した如くに良品と確認された複数の良品ペアチップ3をチップ表面(デバイス面)28を下にして配列して粘着シート2'に貼り付ける。なお、良品ペアチップ3は、図19に示した通常のウエーハ工程でダイシングして、使用したダイシングシート(図示せず)の延伸状態から取り出してもよいし、チップトレイから移載してもよい。ここで重要なことは、自社、他社製のチップに関わらず、良品ペアチップ3のみを基板1上に再配列させることである。

【0066】この良品チップ3はマルチチップモジュール化するための専用設計をされていることが望ましい。また、チップ間配線を行うための小型パッド(≤20nm程度で有ればよい。)と各チップのテスト用のパッドの両方を有している。

【0067】次に、図12(d)のように、チップ3上からSOG等の絶縁物質4'を塗布し、チップ3を埋め込む。

【0068】次に、図12(e)のようにSiウエーハ70を絶縁物質4'上に貼り付けた後、薬液や熱等を作用させ粘着テープ2'の粘着力を低下させ、図13(f)のように、絶縁物質4'の接着力によってSiウエーハ70と共にチップ3を基板1'から分離する。

【0069】こうして、Siウエーハ70上に表面高さがそろった状態のモジュールチップ3を貼り付けることが可能となる。この後、図13(g)のように、通常のウエーハ工程により、チップ3間の再配線化を行う。

【0070】これによって、各モジュールチップ間の再配線の際に問題となっていたチップの厚さによることなく、配線面を平坦化し、確実に再配線化を行うことが可能となる。即ち、これまで、Siウエーハにチップを乗せて再配線化するMCMの技術においては、各モジュールチップの膜厚ばらつきが問題となって、前工程を利用した再配線技術が難しいのが現状であったが、本実施の形態によって、各モジュールチップの膜厚ばらつきによらず、Siウエーハ上にチップ3を表面高さを合わせた状態で貼り付けることが可能となり、MCMの再配線形成が容易となる。

【0071】なお、図13(g)の工程後は、図3(i)～(k)に示したような工程を経て実装してもよい。

【0072】以上に説明した実施の形態は、本発明の技術的思想に基づいて更に変形が可能である。

【0073】例えば、良品ペアチップを貼り付ける基板は、石英やガラスの他に同様の効果や強度があるならば、他の素材を用いてよい。又、基板の形や厚さも自由に変更できる。粘着シート2、2'もアクリル系等や、これと同様の目的を果たせば種々の素材でよいし、樹脂4や絶縁性物質4'の材質も広範囲のものから選択してよい。加えて、良品ペアチップ3を並べる間隔も等間隔であれば任意でよい。

【0074】そして、上記の石英基板1等の基板は、何回でも繰り返して使用することができ、コストや環境面で有利である。また、本発明を適用する対象は半導体チップに限ることではなく、個々のチップへの切断を伴う他の各種チップ状電子部品であってもよい。

#### 【0075】

【発明の作用効果】本発明によれば、基板上に、処理前は粘着力を持つが処理後は粘着力が低下する粘着手段を貼り付け、この粘着手段の上に複数個又は複数種の半導体チップをその電極面を下にして固定し、保護物質を前記半導体チップ間を含む全面に被着し、前記粘着手段に所定の処理を施して前記粘着手段の粘着力を低下させて、前記半導体チップをその側面及び裏面において前記保護物質で固定した疑似ウエーハを剥離し、更に必要あれば前記半導体チップ間において前記保護物質を切断して各半導体チップ又はチップ状電子部品を分離しているので、チップ状電子部品を疑似ウエーハから切り出す際に、保護物質の部分を切断するので、チップ状電子部品本体への悪影響（歪みやばり、亀裂等のダメージ）を抑えられる。又、良品のチップ状電子部品を疑似ウエーハより切り出して再配列することにより、あたかも全品が良品チップのウエーハのようになって、ウエーハ一括ではんだバンプ処理等が可能になり、低コストのフリップチップ用はんだバンプチップを形成できる。又、自社製ウエーハのみならず、他社から購入したペアチップでも容易にはんだバンプ処理等が可能になる。又、保護物質によってチップ側面及び裏面が覆われているので、N*i*無電解めっき処理も可能であると共に、同じく保護物質によってチップ側面及び裏面が保護されているので、チップの個片後の実装ハンドリングにおいてもチップが保護され、良好な実装信頼性が得られる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態1における、半導体チップ

の作製工程を順次示す断面図である。

【図2】同、作製工程を順次示す断面図である。

【図3】同、作製工程とその実装工程とを順次示す断面図である。

【図4】同、はんだペーストの代りに金属ボールを用いる疑似ウエーハの断面図である。

【図5】同、良品ペアチップのみを貼り付けた石英基板の斜視図である。

【図6】同、良品ペアチップのみを貼り付けた大型ガラス基板の斜視図である。

【図7】本発明の実施の形態2における、MCM用半導体チップの作製工程を順次示す断面図である。

【図8】同、作製工程を順次示す断面図である。

【図9】同、作製工程を順次示す断面図である。

【図10】同、良品ペアチップのみを貼り付けた石英基板の斜視図である。

【図11】同、良品ペアチップのみを貼り付けた大型ガラス基板の斜視図である。

【図12】本発明の実施の形態3における、MCM用ウエーハの作製工程を順次示す断面図である。

【図13】同、作製工程を順次示す断面図である。

【図14】従来例におけるAuスタッドバンプ(Stud Bump)の一例を示す斜視図である。

【図15】同、ウエーハレベルで一括はんだでバンプ処理をした半導体ウエーハの部分平面図である。

【図16】同、半導体チップの作製工程を順次示す断面図である。

【図17】同、MCM化された実装構造の一例の斜視図(a)とその側面図である。

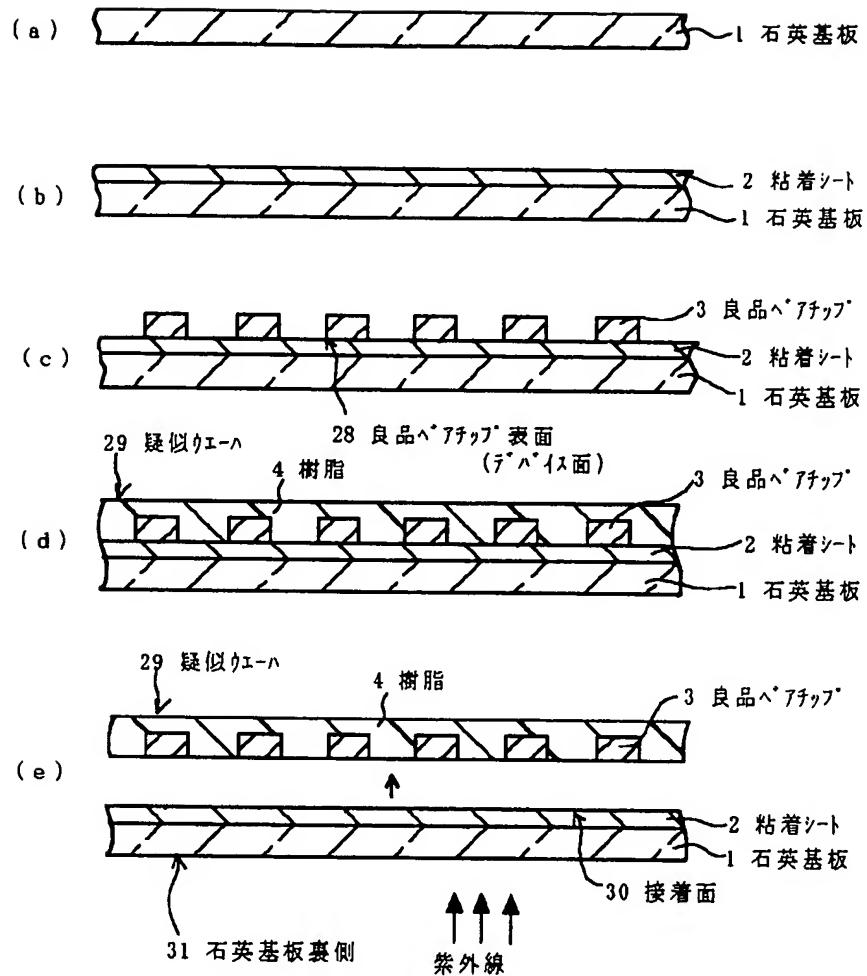
【図18】同、MCM化された実装構造の他の例の斜視図(a)とその一部断面側面図(b)、(c)である。

【図19】同、ウエーハ一括処理に対処する半導体ウエーハの斜視図である。

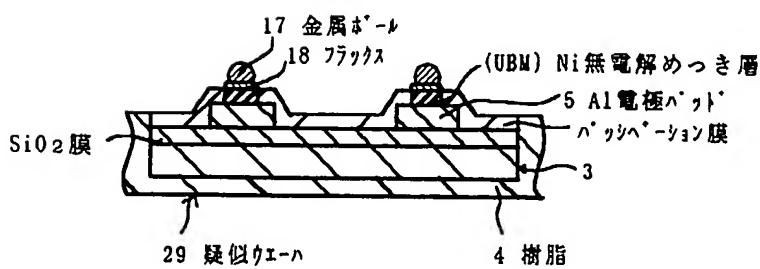
#### 【符号の説明】

1…石英基板、2…粘着シート、3…良品ペアチップ、4…樹脂、5、5.5…A1電極パッド、8…印刷マスク、9…はんだペースト、11…ダイシング、12…はんだバンプ、13…ソルダー(はんだ)ペースト、14…電極、16…配線基板、19…大型ガラス基板、20…不良品ペアチップ、21、33…スクライブライン、26…良品チップ部品、27…実装基板、28…良品ペアチップ表面(デバイス面)、29…疑似ウエーハ、30…接着面、31…石英基板裏側、32…ブレード

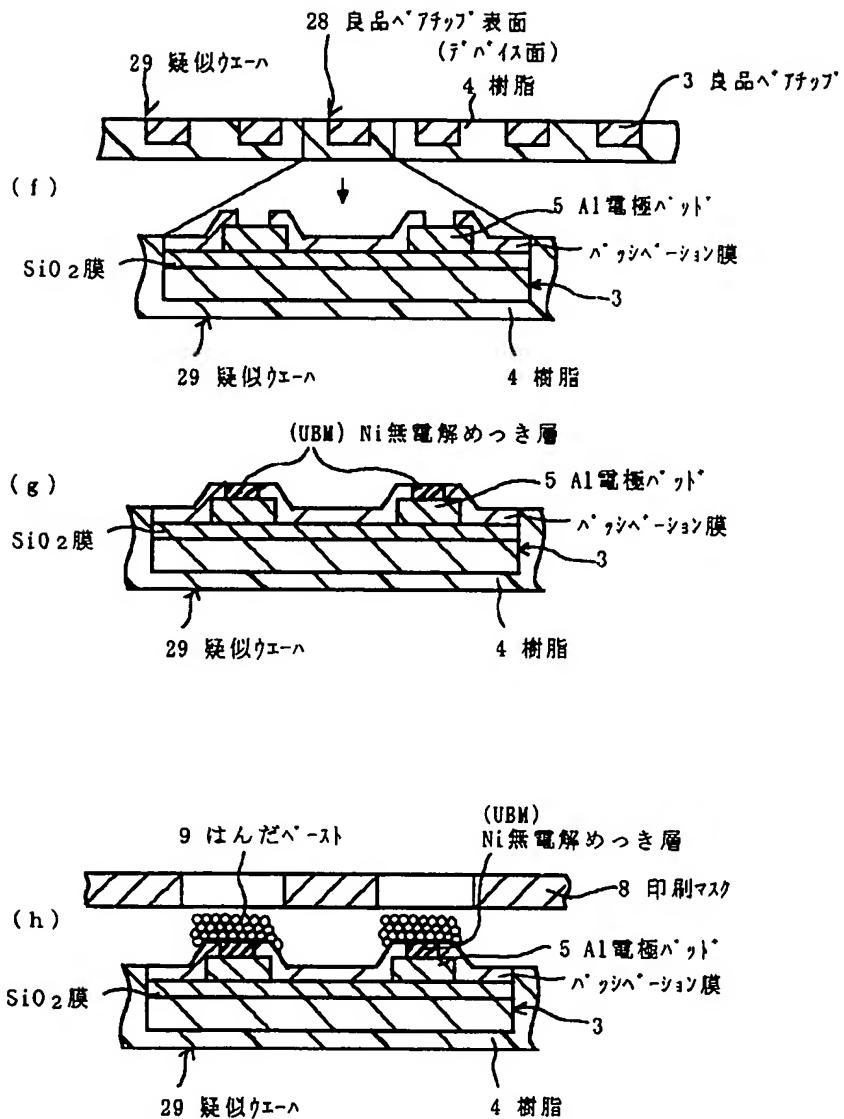
【図1】



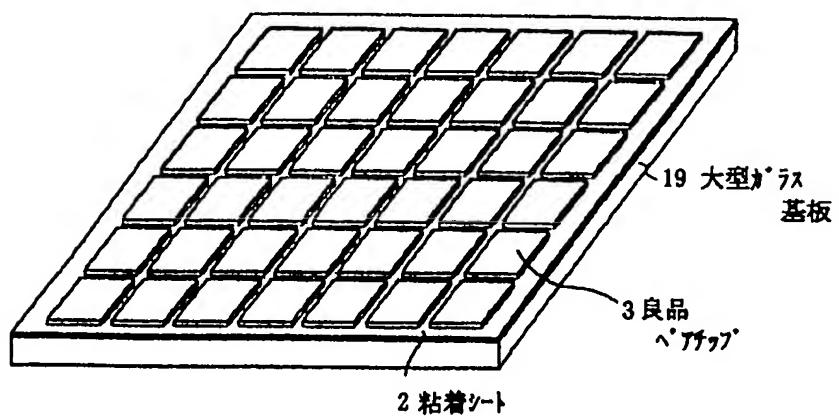
【図4】



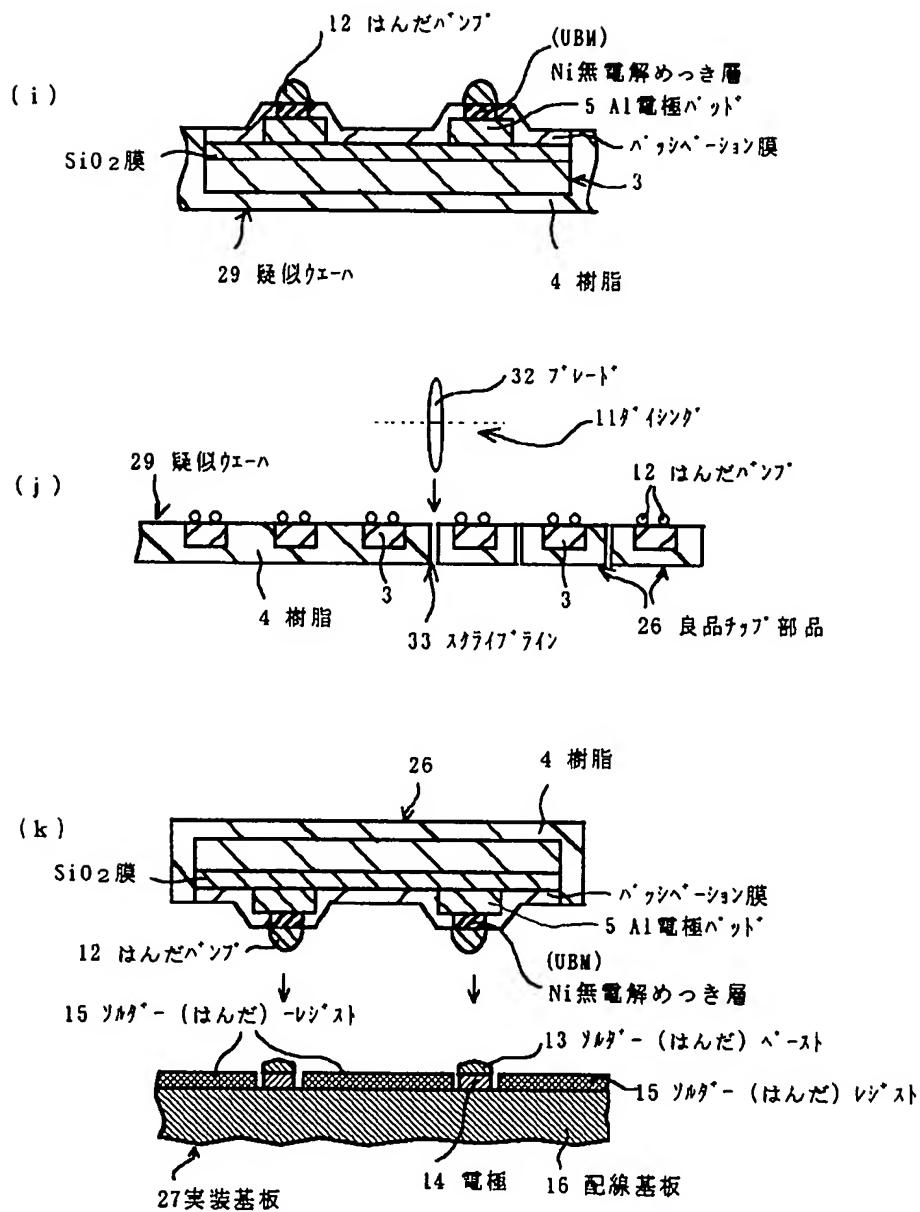
【図2】



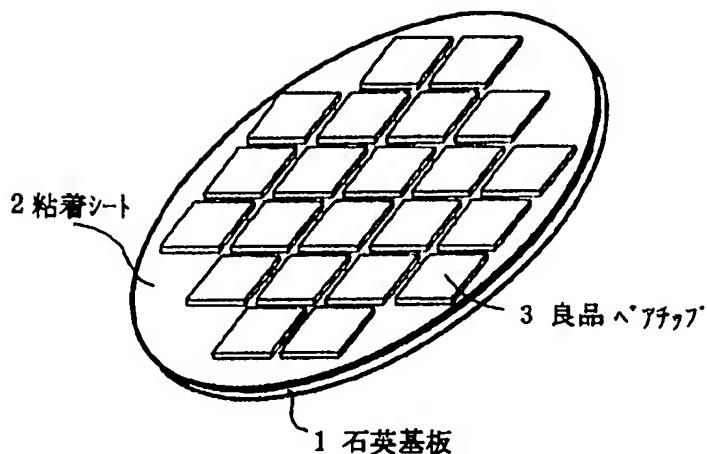
【図6】



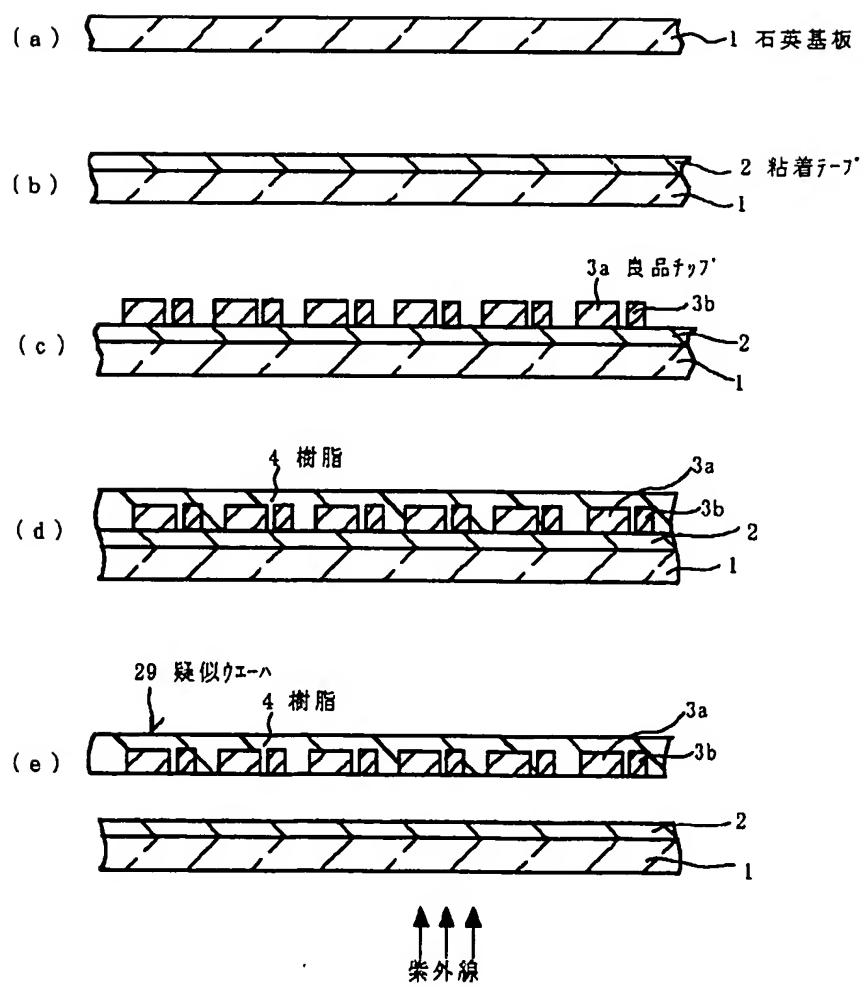
【図3】



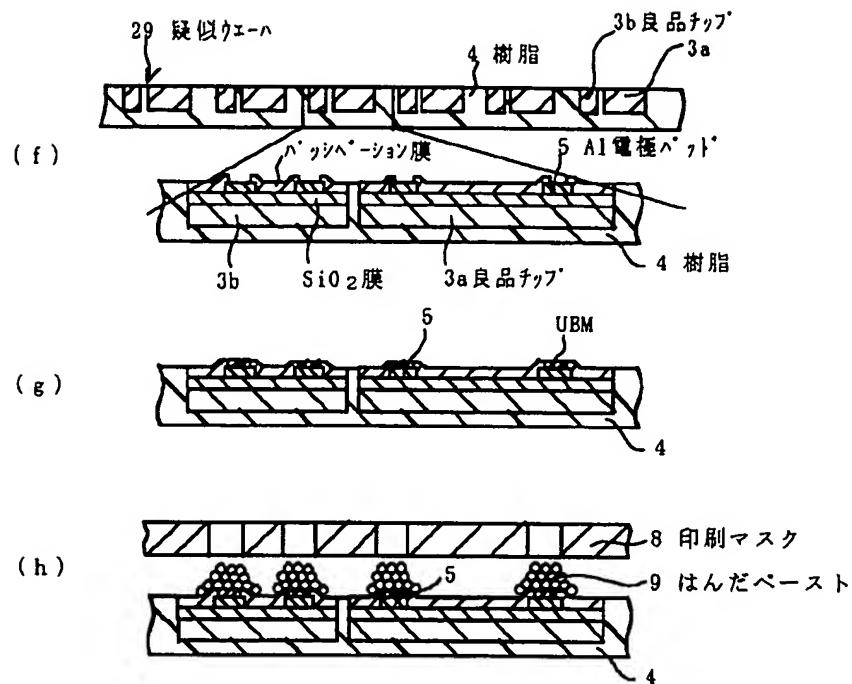
【図5】



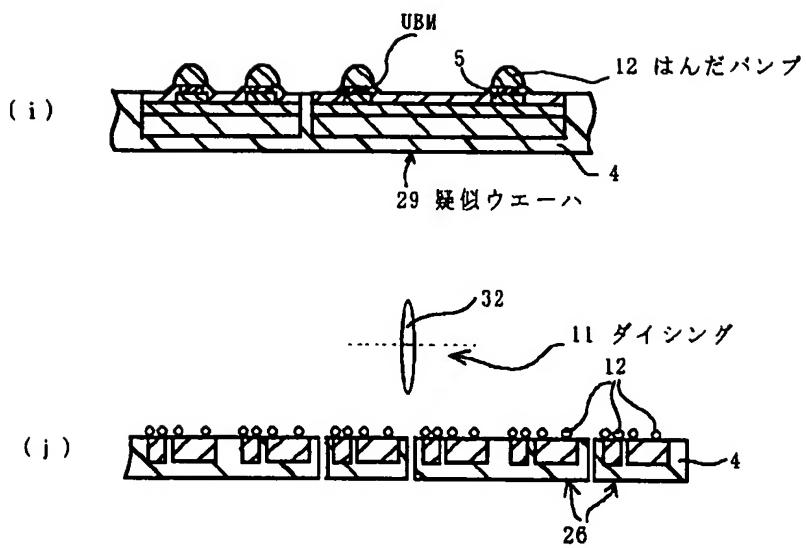
【図7】



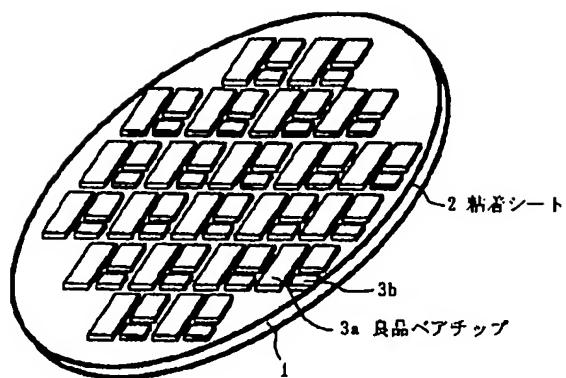
【図8】



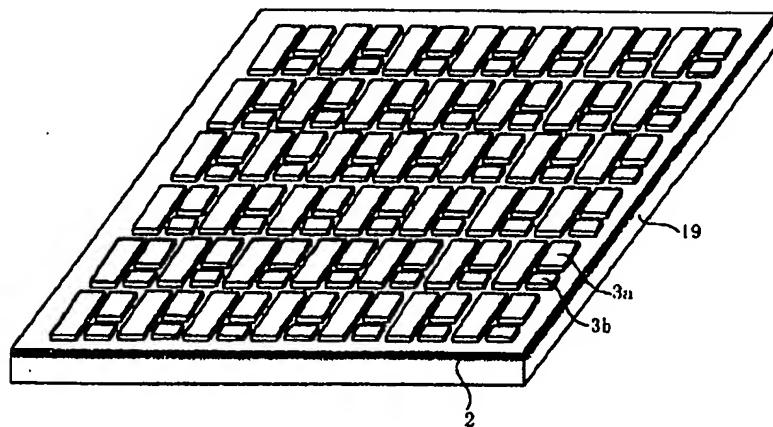
【図9】



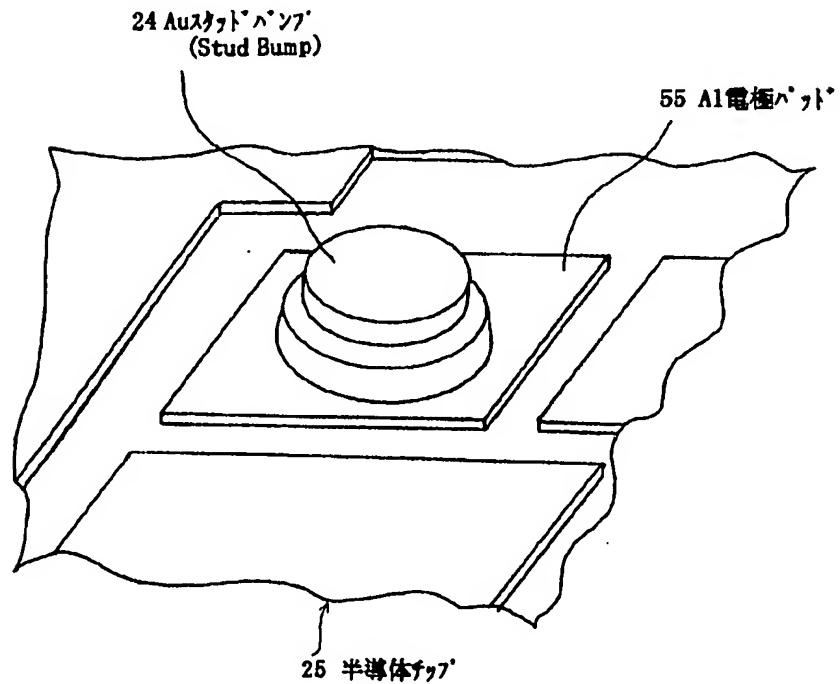
【図10】



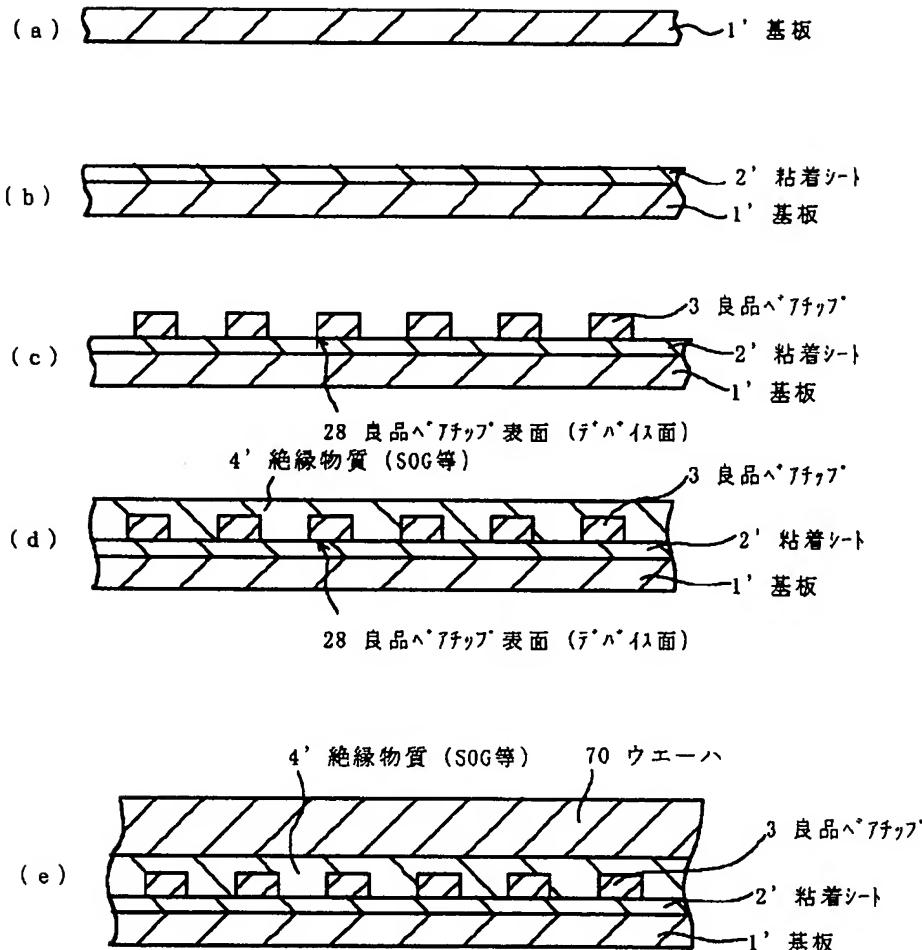
【図11】



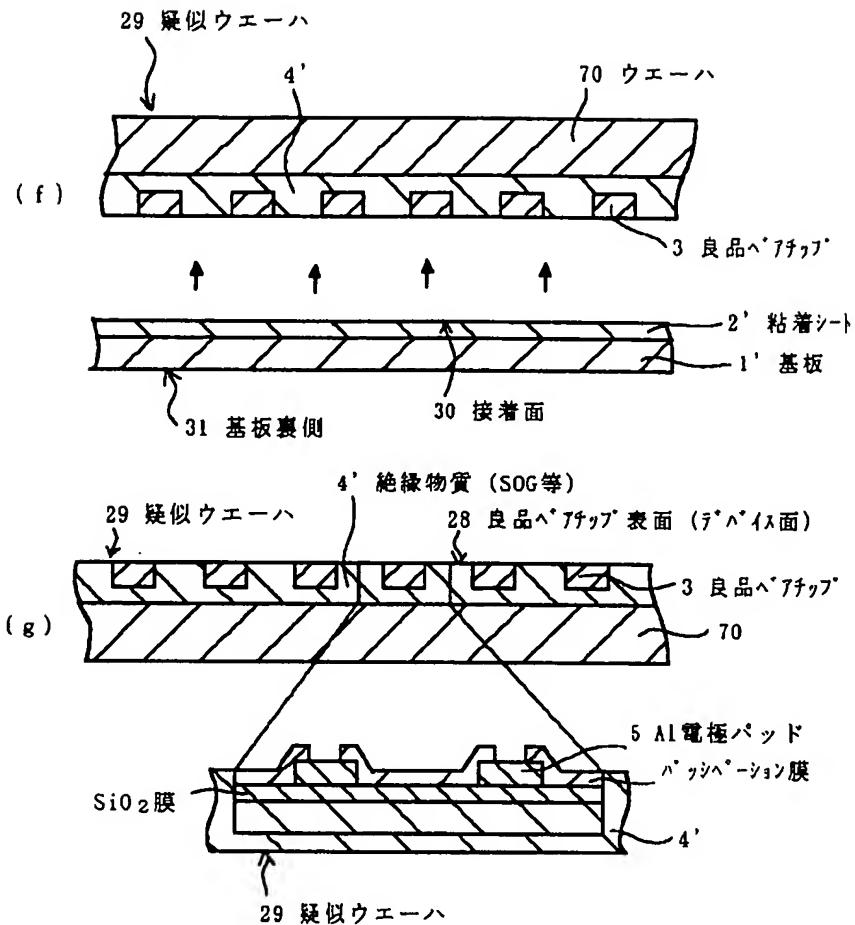
【図14】



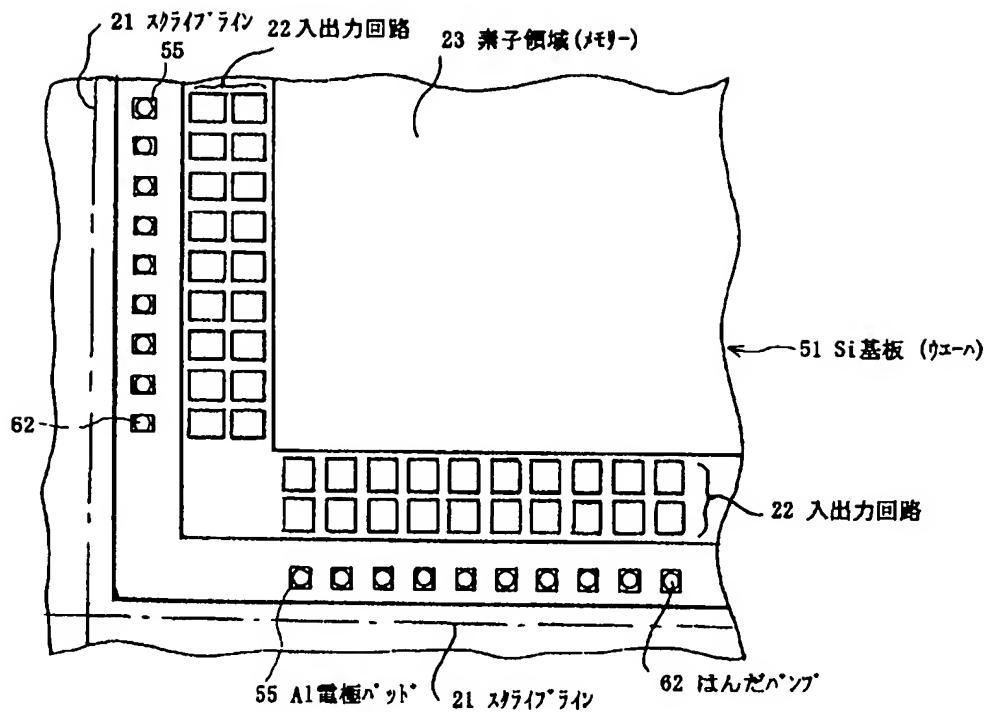
【図12】



【図13】



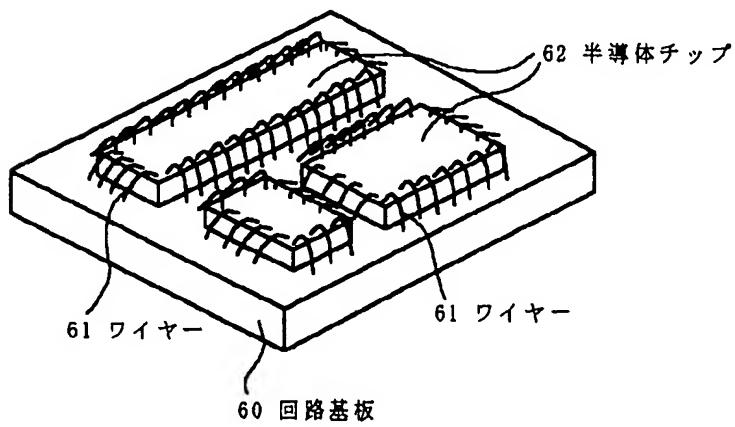
【図15】



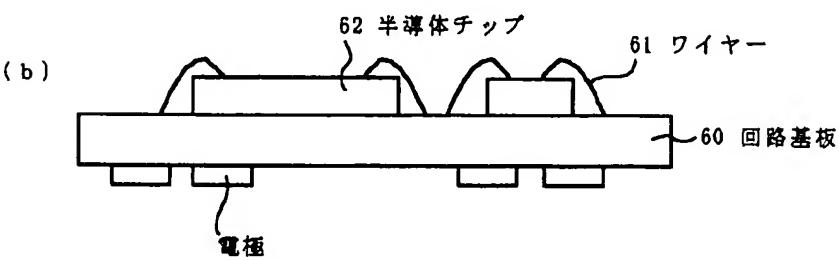
【図17】

ワイヤーボンディング方式

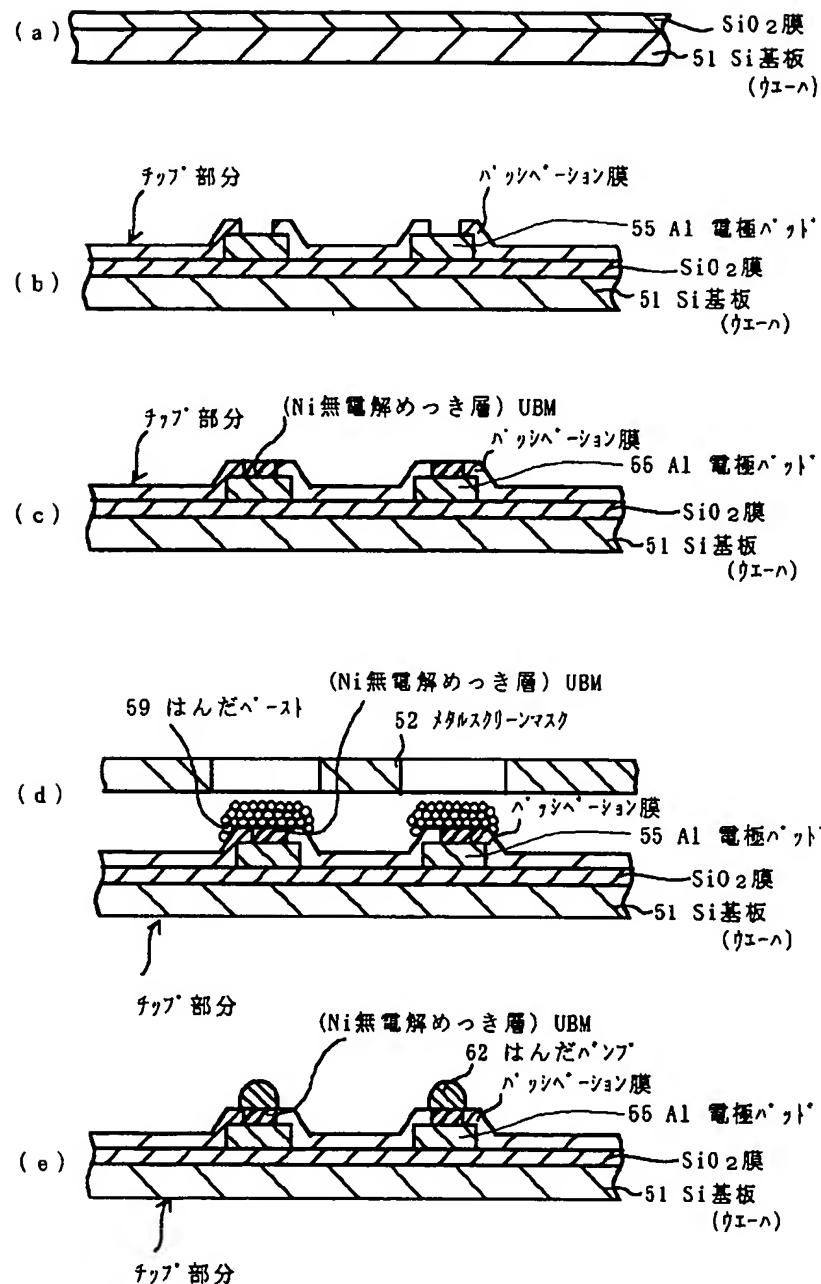
(a)



(b)

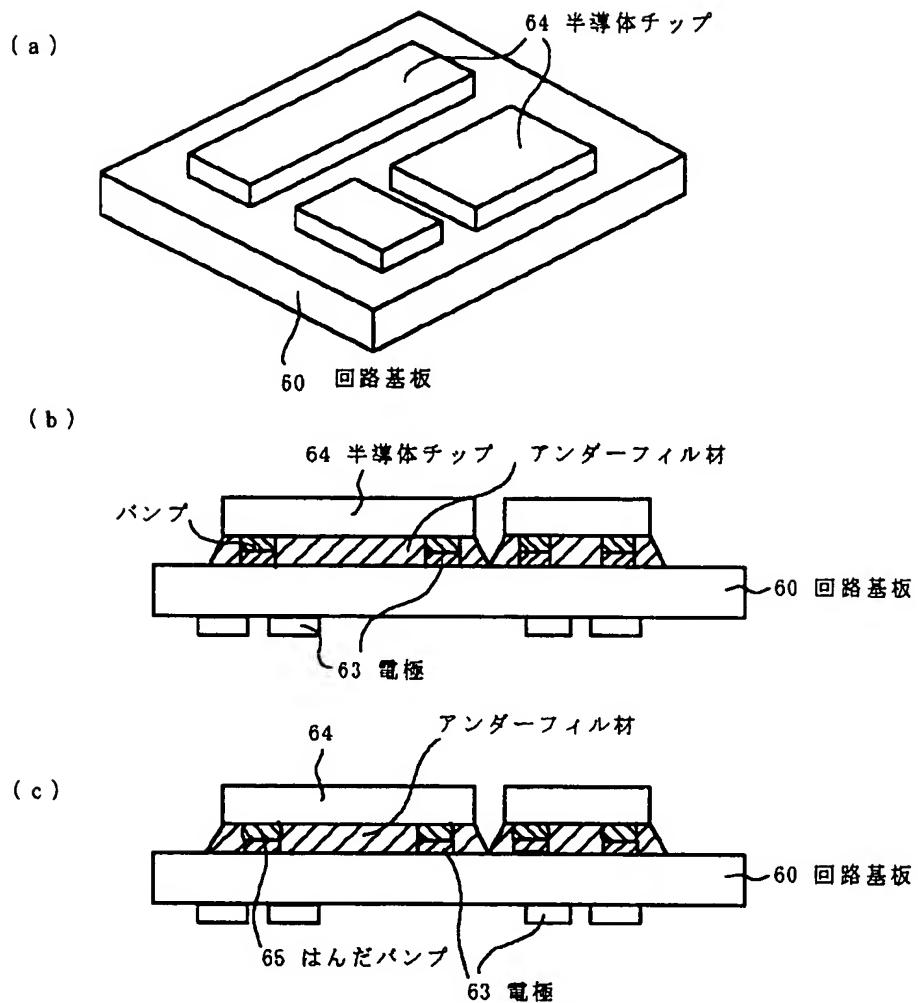


【図16】

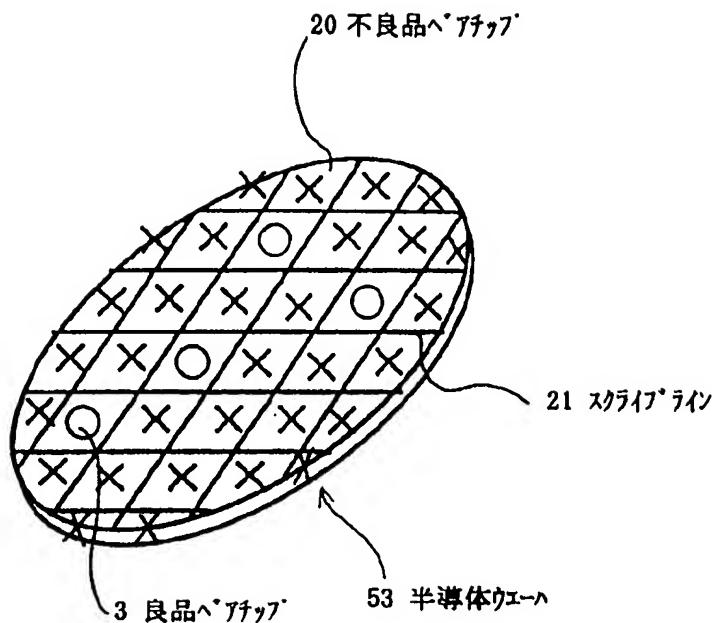


【図18】

フリップチップ方式



【図19】



○：良品

×：不良品

## フロントページの続き

(51) Int. Cl. 7

H 01 L 23/12

識別記号

F I

H 01 L 21/92  
23/12

マークド (参考)

6 0 4 E  
L

(72) 発明者 高岡 裕二

東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内

(72) 発明者 平山 照峰

東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内F ターム(参考) 5F031 CA02 CA05 CA13 DA15 EA02  
HA10 HA32 HA46 MA34 MA35  
MA37 MA39 PA05 PA30  
5F061 AA01 BA07 CA10 CB13